

PAT-NO: JP361296472A  
DOCUMENT-IDENTIFIER: JP 61296472 A  
TITLE: BUFFER MEMORY DEVICE

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: The buffer memory device 4 is connected to a scalar processor 3, a vector processor 2 and a main memory device 14 and constituted of a buffer storing means 13, an area holding circuit 7, an area comparing circuit 10, etc.

A control circuit 11 in the device 4 controls so that block data read out from the device 14 by a succeeding scalar loading instruction sent into a vector storing area during the invalidating processing of the means 13 is registered in the means 13. When the same address is accessed again by the succeeding scalar loading request during the invalidating processing, an intra-area access signal is invalidated through the area comparing circuit 10 and an intra-area access signal invalidating means 9.

Consequently, valid data can be rapidly registered in the means 13 and the data access time based upon the succeeding scalar loading request can be

shortened.

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-296472

⑬ Int.Cl.<sup>4</sup>

G 06 F 15/347  
12/08

識別記号

庁内整理番号

C-7056-5B  
L-8219-5B  
U-8219-5B

⑭ 公開 昭和61年(1986)12月27日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 緩衝記憶装置

⑯ 特 願 昭60-138402

⑰ 出 願 昭60(1985)6月25日

⑱ 発 明 者 神 谷 靖 彰 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

緩衝記憶装置

2. 特許請求の範囲

スカラ命令を処理するスカラ処理装置とベクトル命令を処理するベクトル処理装置、ならびに主記憶装置にそれぞれ接続され、前記各装置とともに動作する緩衝記憶装置であつて、前記主記憶装置に記憶されたデータの一部の写しをブロック単位で記憶するための緩衝記憶手段と、前記スカラ処理装置からのスカラロード/ストア要求および前記要求に伴つて送られてくる主記憶アドレス情報、またはベクトル処理装置からのベクトルロード/ストア要求、ならびに前記要求に伴つて送られてくる記憶アドレス情報を受取るためのリクエスト受け回路と、前記緩衝記憶手段に記憶された複数のブロックデータに対応する主記憶ブロックアドレス情報、および前記ブロックデータが有効であるか否かを表示する有効表示情報を記憶するためのタグ記憶手段と、前記ベクトルストア要

求に回答して前記要求に伴つて送られてくるベクトルストアアドレス情報に対応する前記主記憶装置上のブロックデータが前記緩衝記憶手段に記憶されている場合に、前記ブロックデータを無効化する無効化アドレス情報を生成するための無効化アドレス生成回路と、前記ベクトルストア要求に回答して前記ベクトルストア要求の開始アドレス情報および終了アドレス情報、ならびに前記両アドレス情報の有効性を表示する領域有効表示ビットとともにベクトルストア領域として前記情報を保持するための領域保持回路と、前記リクエスト受け回路に受け付けられた前記ベクトルストア要求に後続するスカラロード要求に回答して、前記要求に伴つて送られてくる主記憶アドレス情報と前記領域保持回路の出力とを比較し、前記主記憶アドレス情報が前記ベクトルストア領域の内部にあつた場合には領域内アクセス信号を出力するための領域比較回路と、前記リクエスト受け回路からのスカラロード/ストア要求に伴つて送られてきた主記憶アドレス情報の一部と、前記タグ記

PAT-NO: JP402085960A  
DOCUMENT-IDENTIFIER: JP 02085960 A  
TITLE: INFORMATION PROCESSING  
SYSTEM

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: An area detection circuit 12, when receiving a scalar load command, compares a scalar load address sent with the command with the output 105 of a vector store address area register circuit 7 and the output 119 of an area address reception circuit 15 which holds a vector store area address corresponding to the vector store operation of another information processor sent from another information processor via a bus 120. And it is compared whether or not the scalar load address is included in a vector store address area, and the area detecting signal is sent to a nullification circuit 19 via a bus 107 when it is included in the area, and the processing of a tag registration nullification circuit 11 is cancelled by the output of the nullification circuit 19, and also, all the tags of a tag memory circuit 8 are

nullified by controlling a tag control circuit  
9. In such a way, it is  
possible to improve the efficiency of a vector  
store processing.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-85960

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月27日

G 06 F 15/347

C 7050-5B  
A 7050-5B

審査請求 未請求 請求項の数 2 (全13頁)

⑭ 発明の名称 情報処理システム

⑰ 特 願 昭63-236565

⑱ 出 願 昭63(1988)9月22日

⑲ 発 明 者 西 村 弘 行 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

情報処理システム

2. 特許請求の範囲

1. 主記憶装置と、該主記憶装置を共用する複数の情報処理装置からなる情報処理システムにおいて、

前記主記憶装置との間で少なくとも一つのデータ送受信バスを持ち、該主記憶装置に記憶されたベクトル要素データをアクセスする少なくとも一つのベクトル演算処理手段と、

前記主記憶装置との間でデータの送受信バスを持つスカラ演算処理手段と、

プログラム命令に従って前記ベクトル演算処理手段またはスカラ演算処理手段に対してベクトルデータまたはスカラデータのロード/ストア動作指令を出す指令手段と、

前記主記憶装置との間でデータ送受信バスを持

ち、該主記憶装置のデータの一部の写しを記憶するバッファメモリ手段と、

該バッファメモリ手段の格納ブロックデータに対応する前記主記憶装置のブロックアドレス情報を該ブロックアドレス情報の有効/無効を表示するバリッドビットと共に登録するタグ記憶手段と、

該タグ記憶手段にブロックアドレス情報の新規登録または登録アドレスの無効化処理を制御するタグ制御手段と、

前記指令手段からのベクトルデータストア動作指令にตอบสนองし、該ベクトルデータストア動作指令に伴って発生される複数のベクトル要素に対する夫々のストアアドレスが前記タグ記憶手段に登録されているか否かをチェックし、登録されている場合には前記タグ制御手段に登録アドレスの無効化を指示するタグ無効化指示手段と、

前記ベクトルストア動作指令に対応して、前記主記憶装置上のストア開始アドレスとストア終了アドレスをアドレス領域として出力するベクトルストアアドレス手段と、

PAT-NO: JP402110668A  
DOCUMENT-IDENTIFIER: JP 02110668 A  
TITLE: BUFFER STORAGE  
CONTROLLER

----- KWIC -----

Abstract Text - FPAR (1):

PURPOSE: To improve the hit ratio of cache by checking whether or not an access address exists within a vector store area, and simultaneously comparing the low-order bits of the access address and a base address.

Abstract Text - FPAR (2):

CONSTITUTION: A bit comparator 5 compares the bits lower than the bit position of reading 1 detected by a reading 1 detection circuit 4 of the base address and the access address in bit to bit, and a data width comparator 6 compares the corresponding bits of the low-order bits of the access address A and the base address B corresponding to the data width of data designated by the access address and that of vector data of a vector store instruction. An area check circuit 8 checks whether or not the

access address A exists within the vector store area, and a comparison result is supplied to an inarea coincidence/ noncoincidence judging circuit 7 with the comparison results of the comparators 5 and 6, and it is judged whether or not the access address A coincides with a flash address in a designated area.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-110668

⑬ Int. Cl.<sup>3</sup>

G 06 F 15/347  
12/08  
15/347

識別記号

A  
U  
C

庁内整理番号

7050-5B  
7010-5B  
7050-5B

⑭ 公開 平成2年(1990)4月23日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 バッファ記憶制御装置

⑯ 特 願 昭63-263481

⑰ 出 願 昭63(1988)10月19日

⑱ 発 明 者 神 谷 靖 章 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 依 田 克 己 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 出 願 人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号

㉒ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

バッファ記憶制御装置

2. 特許請求の範囲

(1) ベクトルデータが予め定められたベクトル要素間距離をもって格納されたベクトルストア領域を有するバッファ記憶装置を制御するバッファ記憶制御装置であって、前記ベクトル要素間距離であるディスタンスの下位ビット側から最初に“1”が存在するビット位置を検出する手段と、この検出されたビット位置よりも下位ビットについて、前記ベクトルストア領域の開始アドレスであるベースアドレスとアクセスアドレスとをビット対応に比較するビット比較手段と、前記アクセスアドレスで指定されるデータのデータ幅及びベクトルストア命令のベクトルデータのデータ幅に応じた前記下位ビットについて、前記アクセスアドレスと前記ベースアドレスとの一致を判断するデータ幅比較手段と、前記アクセスアドレスが前

記ベクトルストア領域内か否かをチェックする領域チェック手段とを有し、前記ビット比較手段、前記データ幅比較手段及び前記領域チェック手段の各判定結果を用いてアクセス抑止の判断をなすようにしたことを特徴とするバッファ記憶制御装置。

3. 発明の詳細な説明

技術分野

本発明はバッファ記憶制御装置に関し、特にベクトルデータが予め定められたベクトル要素間距離をもって格納されたベクトルストア領域を有するバッファ記憶装置を制御するバッファ記憶制御装置に関する。

従来技術

バッファ記憶制御装置であるキャッシュメモリに登録されているブロックデータを無効にするいわゆるキャッシュフラッシュ処理においては、アクセスアドレスがベクトルストア領域内のアドレスか否かをチェックする領域内チェックが必要である。

PAT-NO: JP409034878A  
DOCUMENT-IDENTIFIER: JP 09034878 A  
TITLE: VECTOR REGISTER SYSTEM

----- KWIC -----

Abstract Text - FPAR (2):

SOLUTION: Start address registers 220, 420, 620, 820 storing an address in a main storage for data in each vector register and end address registers 230, 430, 630, 830, and stride registers 240, 440, 640, 840 are prepared. When a vector load is newly developed, a head address, an end address of the loaded data and an address interval are compared with those of the start address register, the end address register, and the stride register and when they are coincident, data are transferred between vector registers in place of loading from the main storage. Thus, data to be accessed with high possibility are loaded to a proper vector register in advance to pre-fetch a vector load.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-34878

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl.<sup>8</sup>  
G 0 6 F 17/16

識別記号 庁内整理番号

F I  
G 0 6 F 15/347

技術表示箇所

D

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平7-182428

(22)出願日 平成7年(1995)7月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 助川 直伸

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 玉置 由子

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 伊藤 昌尚

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 ベクトルレジスタ方式

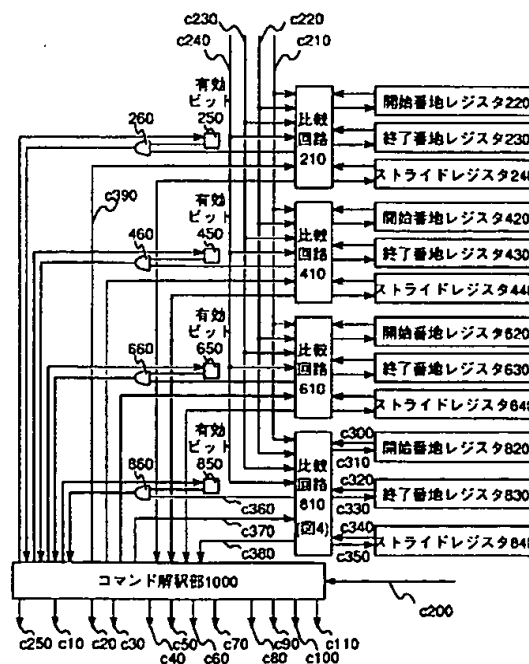
(57)【要約】

【目的】ベクトル計算機の性能向上をはかる。

【構成】ベクトルレジスタ毎に、そのベクトルレジスタ中のデータの主記憶上のアドレスを記録する開始番地レジスタ220、420、620、820、終了番地レジスタ230、430、630、830、ストライドレジスタ240、440、640、840を用意する。新たにベクトルロードが発生した際に、ロードするデータの先頭アドレス、末尾アドレス、アドレス間隔と、開始番地レジスタ、終了番地レジスタ、ストライドレジスタとの値を比較し、一致している場合には主記憶からのロードの代わりにベクトルレジスタ間転送を行う。

【効果】アクセスする可能性の高いデータを、あらかじめ適当なベクトルレジスタにロードしておくことでベクトルロードをプリフェッチできる。

図 3



PAT-NO: JP02001195389A  
DOCUMENT-IDENTIFIER: JP 2001195389 A  
TITLE: BOUNDARY EXECUTION  
CONTROLLER AND BOUNDARY CONTROL  
METHOD

----- KWIC -----

Abstract Text - FPAR (1):

PROBLEM TO BE SOLVED: To attain the boundary control to plural vector store instructions with the minimum capacity of HW(hardware).

Abstract Text - FPAR (2):

SOLUTION: At a boundary control part 21, the end address of a vector store request under execution is calculated and the addresses of start and end points of a boundary section of the vector store request are registered. At the same time, the start address of the subsequent vector store request is compared with the registered start point address and also the end address of the said store request is compared with the registered end point address respectively. Then the registered addresses are changed and the address of the subsequent scalar

load request is compared with the addresses of start and end points of the registered boundary section. Then the output destination of the said scalar load request is indicated to a memory request control part 2 to output with control the scalar load request to a cache memory 3 or a main storage part 4. Thus, a scalar load instruction can be carried out during execution of plural vector store instructions.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-195389

(P2001-195389A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データ* (参考)
G 0 6 F 17/16		G 0 6 F 9/34	3 2 0 B 5 B 0 3 3
9/34	3 2 0	15/347	A 5 B 0 5 6

審査請求 有 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願2000-4318 (P2000-4318)

(22) 出願日 平成12年1月13日 (2000.1.13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 ▲高▼山 浩一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100097113

弁理士 堀 城之

Fターム(参考) 5B033 AA07 DA05 DB02 DB12 DC02

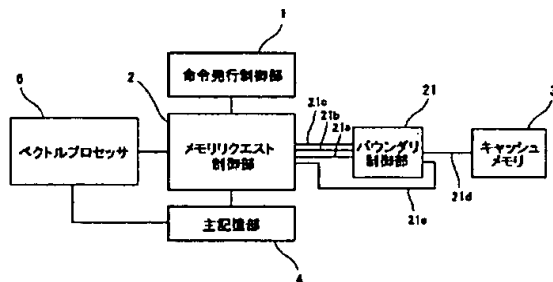
5B056 AA01 AA04 EE06

(54) 【発明の名称】 バウンダリ実行制御装置及びバウンダリ制御方法

(57) 【要約】

【課題】 最小のHW (ハードウェア) 量で複数のベクトルストア命令に対するバウンダリ制御を行うことができるようにする。

【解決手段】 バウンダリ制御部21により、実行中のベクトルストアリクエストの終了アドレスを算出し、ベクトルストアリクエストのバウンダリ区間の始点及び終点のアドレスを登録するとともに、後続のベクトルストアリクエストの開始アドレスと登録した始点のアドレスとの比較及び終了アドレスと登録した終点のアドレスとの比較を行い、登録したアドレスの変更を行ったり、後続のスカラロードリクエストのアドレスと登録したバウンダリ区間の始点及び終点のアドレスとを比較し、メモリリクエスト制御部2に対し後続のスカラロードリクエストの出力先を指示することで、スカラロードリクエストをキャッシュメモリ3又は主記憶部4の何れかに出力制御し、複数のベクトルストア命令実行中にスカラロード命令を実行可能とするようにする。



## ⑫ 公開特許公報(A) 平1-222375

⑤Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬公開 平成1年(1989)9月5日

G 06 F 15/347

C-7056-5B

審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 緩衝記憶装置

⑯特 願 昭63-49021

⑰出 願 昭63(1988)3月1日

⑱発明者 神谷 靖 彰 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲発明者 依田 克 巳 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内  
 ⑳出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉑出願人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号  
 ㉒代理人 弁理士 内原 晋

## 明 細 書

## 1. 発明の名称

緩衝記憶装置

## 2. 特許請求の範囲

スカラ命令を処理するスカラ処理装置、ベクトル命令を処理するベクトル処理装置ならびに主記憶装置にそれぞれ接続され、前記各装置とともに動作する緩衝記憶装置であって、

前記主記憶装置と前記スカラ処理装置の間にある、前記主記憶装置にあるデータの一部の写しをブロック単位で記憶し、該ブロックのブロックアドレスと、該ブロックの有効を表示する有効ビットを持つ緩衝記憶手段と、

前記ベクトル処理装置からのベクトルストア要求に応答して、前記ベクトルストア要求とともに送られて来るベクトルストアアドレス情報に基づき、前記緩衝記憶手段に記憶されている有効ビットを無効にする無効化処理のための無効化アドレスを作成し、該アドレスに基づき無効化処理を行なう無効化処理手段と、

前記ベクトル処理装置からのベクトルストア要求に応答して、前記ベクトルストア要求とともに送られて来るベクトルストアアドレス情報に基づき、前記ベクトルストア要求の開始アドレス情報と終了アドレス情報を、前記両アドレス情報の有効性を前記無効化処理期間中表示する領域有効表示ビットとともにベクトルストア領域として保持し、さらに前記スカラ処理装置からのスカラロード要求に응答して、前記スカラロード要求とともに送られて来る主記憶アドレス情報と前記ベクトルストア領域とを比較し、前記主記憶アドレス情報が前記ベクトルストア領域内であった場合に領域一致信号を出力する領域チェック手段と、

前記領域チェック手段において領域一致と判定された主記憶アドレス情報の一部を前記無効化処理期間中、前記主記憶アドレス情報の一部の有効を表示するVビットとともに保持し、前記スカラロード要求に後続するスカラロード要求の主記憶アドレスの一部と比較し、一致がとれた場合にアドレス一致信号を出力し、前記領域チェック手段

PAT-NO: JP401222375A  
DOCUMENT-IDENTIFIER: JP 01222375 A  
TITLE: BUFFER STORAGE DEVICE

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: When the scalar load request is outputted from a scalar processing device 2 during the nullification processing of the buffer storing means 8, if main storage address information sent together with the scalar load request is in the vector store area of the nullification processing, a block load request is sent again for the main storage device 3, and the block data read out by the block load request is registered in the buffer storing means 8. Simultaneously with it, the block address of the block data to be registered is stored, and if the main storage address of the scalar load request succeeding during the nullification processing is access to the same block address, an area coincidence signal sent from an area checking means 6 is nullified by an address coincidence signal from an address checking means 7. Thus, time required for data access due to the succeeding



scalar load request can be  
shortened.